

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-344112

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

H04L 7/033

H03L 7/06

(21)Application number : 04-152267

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.06.1992

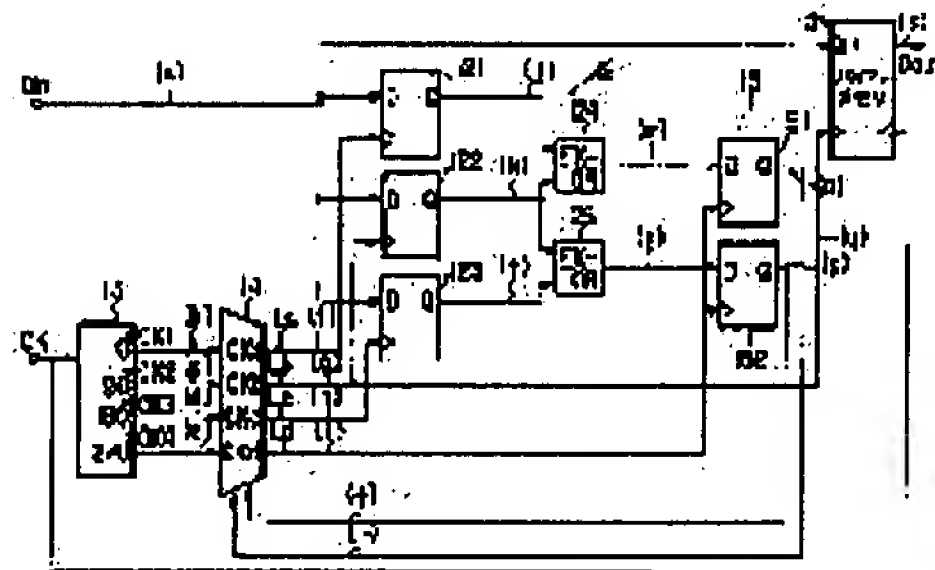
(72)Inventor : ISHIBASHI HIDEKI  
ATSUMI TAKEHIKO

## (54) BIT PHASE SYNCHRONIZING CIRCUIT

## (57)Abstract:

PURPOSE: To prevent data from being omitted or duplicated by fetching input data at the timing of respective clocks, for which the cycle is same as that of a system clock and the phase is different, of three phases or more and selecting a write clock corresponding to the result of identifying the state is changed between which clocks.

CONSTITUTION: A clock generation circuit 13 generates clocks CK1-CK4, for which the cycle is same as that of the system clock and the phase is different by  $90^\circ$  each other, of four phases. A data change detection circuit 12 identifies the state is changed between which



clocks while fetching the state of input data signals at the timing of the respective clocks by FF 121-123. On the other hand, the respective bit data of the input data are written while defining any one of respective clocks generated by the clock generation circuit 13 as the write clock of a buffer memory 3. The write clock is switched corresponding to the state change identified result. A system clock CK is impressed to the buffer memory 3 as a read clock.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-344112

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 4 L 7/033

H 0 3 L 7/06

7928-5K

H 0 4 L 7/ 02

B

9182-5J

H 0 3 L 7/ 06

J

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-152267

(22)出願日 平成4年(1992)6月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 石橋 英樹

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝小向工場内

(72)発明者 渥味 武彦

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝小向工場内

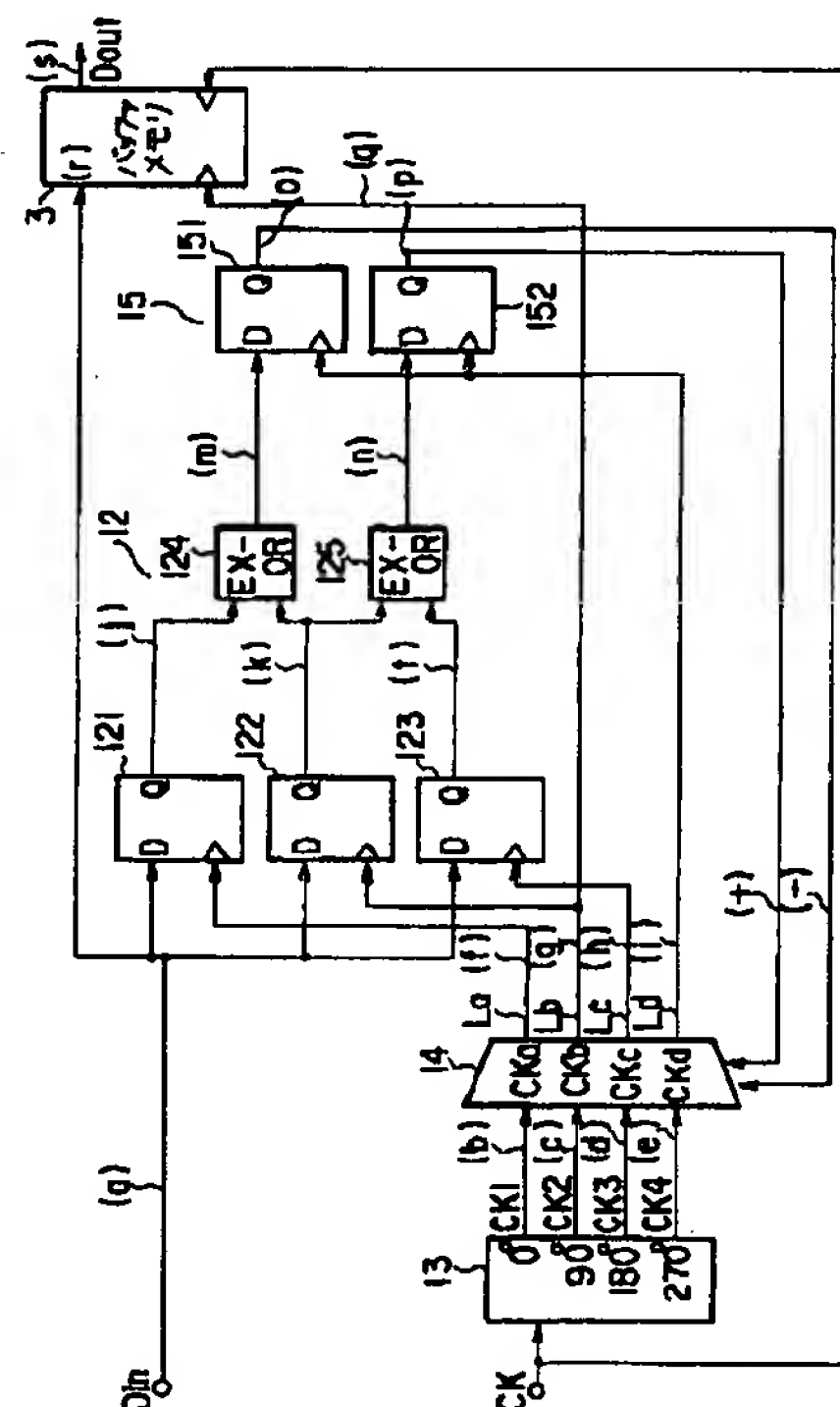
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 ビット位相同期回路

(57)【要約】

【目的】この発明の目的は、バッファメモリへの書込み／読出しに際してデータ信号の欠落や重複が生じることなく、即時にビット位相同期を確立することのできるビット位相同期回路を提供することにある。

【構成】この発明は、システムクロックと同周期で互いに位相の異なる三相以上のクロックを発生するクロック発生手段と、この手段で発生された各クロックのタイミングで入力データ信号の状態を取り込んでいずれのクロック間で状態変化するかを識別する状態変化識別手段と、前記クロック発生手段で発生された各クロックのいずれかを書込みクロックとし、前記システムクロックを読出しクロックとして前記入力データの各ビットデータを入出力するバッファメモリと、前記状態変化識別手段の識別結果に応じて前記書込みクロックとするクロックを切り替えるクロック切替手段とを具備して構成される。



## 【特許請求の範囲】

【請求項1】 入力データ信号の各ビットデータをシステムクロックに同期させるビット位相同期回路において、前記システムクロックと同周期で互いに位相の異なる三相以上のクロックを発生するクロック発生手段と、この手段で発生された各クロックのタイミングで入力データ信号の状態を取り込んでいずれのクロック間で状態変化するかを識別する状態変化識別手段と、前記クロック発生手段で発生された各クロックのいずれかを書込みクロックとし、前記システムクロックを読み出しクロックとして前記入力データの各ビットデータを入出力するバッファメモリと、前記状態変化識別手段の識別結果に応じて前記書込みクロックとするクロックを切り替えるクロック切替手段とを具備するビット位相同期回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、データ通信装置等に用いられるビット位相同期回路に関する。

## 【0002】

【従来の技術】 周知のように、データ通信にあつては入力データのビット位相をシステムクロックに合わせる必要がある。これはビット位相同期回路によって行われる。従来のビット位相同期回路の一般的な構成を図3に示す。

【0003】 図3において、入力データ信号DinはDラッチフリップフロップ1、2のD端子に供給される共に、バッファメモリ3に供給される。一方、システムクロックCKとインバータ4の反転クロックCK'はクロック選択部5により選択的に第1、第2のクロックライン6、7に導出される。

【0004】 上記フリップフロップ1は第1のクロックライン6からのクロックに応じて入力データDinをラッチし、フリップフロップ2はクロックライン7からのクロックに応じて入力データDinをラッチする。各フリップフロップ1、2のラッチ出力はEX-OR（排他的論理和）ゲート8に送られる。このEX-ORゲート8は各フリップフロップ1、2の出力の一致（Lレベル）、不一致（Hレベル）を検出するためのもので、その結果はDラッチフリップフロップ9、10のD端子に送られる。

【0005】 上記フリップフロップ9は第1のクロックライン6からのクロックに応じて入力EX-OR出力をラッチし、フリップフロップ10はクロックライン7からのクロックに応じてEX-OR出力をラッチする。各フリップフロップ9、10のラッチ出力はEX-ORゲート11に送られる。

【0006】 このEX-ORゲート11も各フリップフロップ9、10の出力の一致（Lレベル）、不一致（Hレベル）を検出するためのもので、その結果はクロック切替信号としてクロック選択部5に供給される。クロッ

ク選択部5はクロック切替信号がLからHに、HからLに切り替わるとき、両入力クロックCK、CK'の出力ラインを入れ替える。

【0007】 上記バッファメモリ3は第1のクロックライン6からのクロックを書込みクロックとして入力し、そのタイミングで入力データDinを格納する。また、システムクロックCKを読み出しクロックとして出力し、そのタイミングで格納したデータを読み出す。これにより、システムクロックCKに同期したデータ信号Doutを得ることができる。

【0008】 図4に上記回路構成の各部出力タイミングを示す。同図（a）は入力データ信号Din、（b）はシステムクロック（メモリ3の読み出しクロック）CK、（c）は反転システムクロックCK'、（d）はフリップフロップ1のQ出力、（e）はフリップフロップ2のQ出力、（f）はEX-ORゲート8の出力、（g）はフリップフロップ9のQ出力、（h）はフリップフロップ10のQ出力、（i）はEX-ORゲート11の出力（クロック切替信号）、（j）は第1のクロックラインの伝送クロック（メモリ3の書き込みクロック）、（k）はバッファメモリ3の格納データ、（l）は出力データ信号Doutを示している。

【0009】 しかしながら、上記構成の従来のビット位相同期回路では、ジッタ等によって選択クロックが切り替わった場合に、クロックの切替が180° 間隔の2種類しかないために、クロック切替時にクロックパルスのHレベルが重なったり、パルスが抜け落ちたりすることがある。この場合、図4からも明らかなように、バッファメモリへの書き込み／読み出しに際してデータ信号の欠落や重複を生じる等の問題があった。

## 【0010】

【発明が解決しようとする課題】 以上述べたように、従来のビット位相同期回路では、選択クロックの切り替え後、バッファメモリへの書き込み／読み出しに際してデータ信号の欠落や重複が生じる等の問題があった。

【0011】 この発明は上記の課題を解決するためになされたもので、選択クロックの切り替え後、バッファメモリへの書き込み／読み出しに際してデータ信号の欠落や重複が生じることなく、即時にビット位相同期を確立することのできるビット位相同期回路を提供することを目的とする。

## 【0012】

【課題を解決するための手段】 上記目的を達成するためにこの発明は、入力データ信号の各ビットデータをシステムクロックに同期させるビット位相同期回路において、前記システムクロックと同周期で互いに位相の異なる三相以上のクロックを発生するクロック発生手段と、この手段で発生された各クロックのタイミングで入力データ信号の状態を取り込んでいずれのクロック間で状態変化するかを識別する状態変化識別手段と、前記クロッ

ク発生手段で発生された各クロックのいずれかを書込みクロックとし、前記システムクロックを読出しクロックとして前記入力データの各ビットデータを入出力するバッファメモリと、前記状態変化識別手段の識別結果に応じて前記書込みクロックとするクロックを切り替えるクロック切替手段とを具備して構成される。

#### 【0013】

【作用】上記構成によるビット位相同期回路では、システムクロックと同周期で互いに位相の異なる三相以上のクロックを発生し、各クロックのタイミングで入力データ信号の状態を取り込んでいずれのクロック間で状態変化するかを識別する。一方、クロック発生回路で発生された各クロックのいずれかをバッファメモリの書込みクロックとし、バッファメモリに入力データ信号の各ビットデータを書込んでいく。書込みクロックは上記の状態変化識別結果に応じて切り替えられる。システムクロックは読出しクロックとしてバッファメモリに与えられる。

#### 【0014】

【実施例】以下、図面を参照してこの発明の一実施例を詳細に説明する。

【0015】図1はこの発明に係るビット位相同期回路の構成を示すもので、入力データ信号Dinはバッファメモリ3に供給されると共に、データ変化検出回路12を構成する第1乃至第3のDラッチフリップフロップ121～123に供給される。一方、システムクロックCKはバッファメモリ3に読出しクロックとして供給されると共に、4相クロック生成回路13に供給される。

【0016】上記4相クロック生成回路13は入力したシステムクロックCKからそれぞれ0°、90°、180°、270°位相のずれた第1乃至第4のクロックCK1～CK4を生成する。ここで生成されたクロックCK1～CK4は出力ラインシフト回路14に供給される。この出力ラインシフト回路14は入力クロックCK1～CK4をシフト制御信号に応じて第1乃至第4のクロックラインLa～Ldに割り当てる。このクロック割り当ては、(+)のシフト制御信号が与えられた場合には各ライン上のクロック位相が90°進む方向にシフトし、(-)のシフト制御信号が与えられた場合には位相が90°遅れる方向にシフトする。

【0017】第1乃至第3のクロックラインLa～Lcに割り当てられたクロックCKa～CKcはそれぞれ上記Dラッチフリップフロップ121～124のクロック入力端に供給され、第2のクロックラインLbの伝送クロックCKbはバッファメモリ3に書込みクロックとして供給され、第4のクロックラインLdの伝送クロックCKdはシフト制御回路15を構成するDラッチフリップフロップ151、152のクロック入力端に供給される。

【0018】上記データ変化検出回路12は、第1乃至

第3のフリップフロップ121～123により、連続して90°ずつ位相のずれた3つのクロックCKa、CKb、CKcの入力時点で入力データDinをラッチする。そして、第1のEX-ORゲート124により、最も位相の進んだクロックCKaで入力データDinをラッチした第1のフリップフロップ121と中間の位相のクロックCKbで入力データDinをラッチした第2のフリップフロップ122のQ出力との排他的論理和を求める。また、第2のEX-ORゲート125により、中間の位相のクロックCKbで入力データDinをラッチした第2のフリップフロップ122のQ出力と最も位相の遅れたクロックCKcで入力データDinをラッチした第3のフリップフロップ123との排他的論理和を求める。

【0019】すなわち、このデータ変化検出回路12において、第1、第2のゲート124、125の出力が共にL(=0)レベルのときは、「各クロック間でデータの変化なし」を意味し、第1のゲート124の出力がH(=1)レベルのときは、「位相の進んでいる方の2つのクロック間でデータの変化あり」を意味し、第2のゲート125の出力がHレベルのときは、「位相の遅れている方の2つのクロック間でデータの変化あり」を意味する。第1、第2のゲート124、125の出力はそれぞれシフト制御回路15のフリップフロップ151、152に供給される。

【0020】このシフト制御回路15は、フリップフロップ151、152により、第4のクロックラインLdの伝送クロックCKd(CKa～CKcよりも位相が遅れている)のタイミングで上記EX-ORゲート124、125の出力をラッチし、フリップフロップ151の出力Q(=H)を(-)シフト制御信号として、フリップフロップ152の出力Q(=H)を(+)シフト制御信号として、それぞれ出力ラインシフト回路14に送出する。

【0021】上記構成において、以下、図2を参照してその動作を説明する。尚、図2は入力データDinのビットクロックの周波数に対して、システムクロックCKの周波数がやや高い場合を示している。

【0022】図2において、(a)は入力データDin、(b)～(e)は4相クロック生成回路13でシステムクロックCKの位相をそれぞれ0°、90°、180°、270°ずらして生成される第1乃至第4のクロックCK1～CK4、(f)～(i)は出力ラインシフト回路14から第1乃至第4のクロックラインLa～Ldに送出される伝送クロックCKa～CKd、(j)～(l)はデータ変化検出回路12のフリップフロップ121～123のラッチ出力、(m)、(n)はデータ変化検出回路12のEX-ORゲート124、125のゲート出力、(o)、(p)はシフト制御回路15のフリップフロップ151、152のラッチ出力(シフト制御信号)、(q)はバッファメモリ3の書込みクロック



(クロックラインL bの伝送クロックCK b)、(r)はバッファメモリ3の書込みデータ、(s)はバッファメモリ3の読出しデータを示している。

【0023】いま、図2(a)に示す入力データ信号Dinが与えられ、4相クロック生成回路13で図2(b)～(e)に示すシステムクロックCKの位相をそれぞれ0°、90°、180°、270°ずらした第1乃至第4のクロックCK1～CK4が生成されている。そして、出力ラインシフト回路14は、初期状態において、図2(f)～(i)に示すように、CK1をL aに、CK2をL bに、CK3をL cに、CK4をL dに割り当てるものとする。

【0024】このとき、第1乃至第3のクロックラインL a, L b, L cに割り当てられたクロックCK a (=CK1), CK b (=CK2), CK c (=CK3)は上記データ変化検出回路12に供給される。このデータ変化検出回路12はフリップフロップ121～123により連続した3つのクロックCK a～CK cの入力時点で入力データDinの値を読む。そして、第1のEX-ORゲート124で121, 122のQ出力の排他的論理和をとり、第2のEX-ORゲート125で122, 123のQ出力の排他的論理和をとることによって、(1)各クロック間でデータの変化なし、(2)位相の進んでいる方の2つのクロック間でデータの変化あり、(3)位相の遅れている方の2つのクロック間でデータの変化あり、の3つの状態を識別する。

【0025】但し、状態識別は同一タイミングで行う必要がある。そこで、シフト制御回路15において、第1、第2のEX-ORゲート124, 125の各出力をそれぞれフリップフロップ151, 152に入力し、第4のクロックラインL 4に割り当てられたクロックCK4 (=CK d)の入力時点でラッチする。(1)の場合はそのままとし、(2)の場合はフリップフロップ15からクロック位相を90°遅らせる(－)シフト制御信号を出力ラインシフト回路14に送出し、(3)の場合はフリップフロップ16からクロック位相を90°進ませる(＋)シフト制御信号を出力ラインシフト回路14に送出する。

【0026】図2では、時刻tで(2)の状態が識別され、直ちに(－)シフト制御信号が出力ラインシフト回路14に送出される。すると、各クロックラインL a～L d上の伝送クロックCK a～CK dはそれぞれCK2, CK3, CK4, CK1にシフトされ、結果的に90°位相が遅らされる。これにより、バッファメモリ3の書込みクロックはCK2からCK3に切り替わる。

【0027】すなわち、書込みクロックをCK2のまま継続すると、入力データDinの変化点と書込みタイミングが近付いていき、ついには書込みタイミングが入力データDinの変化点を追い越して、書込みデータが重複してしまうことになる。そこで、上記構成の実施例では、

書込みクロックをCK2からCK3に切り替えて90°位相を遅らせることにより、書込みタイミングが入力データDinの変化点を追い越さないようにして、書込みデータの重複を防止している。

【0028】以上、システムクロックCKの周波数が入力データDinのビットクロックの周波数に対してやや高い場合について説明したが、逆にやや低い場合には、入力データDinの変化点と書込みタイミングが次第に離れていき、ついには書込みタイミングが次の入力データDinの変化点を追い越して、書込みデータの抜けが生じてしまうことになる。しかし、上記実施例の構成によれば、書込みタイミング(CK b)が次の入力データDinの変化点に近付き、位相差が90°以内になった時点で(＋)シフト制御信号が出力される。よって、書込みクロックの位相は90°進むようになり、これによって書込みタイミングは入力データDinの次の変化点を追い越さず、書込みデータの抜けは防止される。

【0029】したがって、上記構成によるビット位相同期回路は、選択クロックの切り替え後、バッファメモリへの書込み／読出しに際してデータ信号の欠落や重複が防止され、即時にビット位相同期を確立することができる。

【0030】尚、上記実施例では4相クロックを用いて構成したが、この発明はこれに限定されるものではなく、3相以上のクロックで実現可能である。その他、この発明の要旨を逸脱しない範囲で種々変形しても、同様に実施可能であることはいうまでもない。

#### 【0031】

【発明の効果】以上のようにこの発明によれば、選択クロックの切り替え後、バッファメモリへの書込み／読出しに際してデータ信号の欠落や重複が生じることなく、即時にビット位相同期を確立することのできるビット位相同期回路を提供することができる。

#### 【図面の簡単な説明】

【図1】この発明に係るビット位相同期回路の一実施例の構成を示す構成図。

【図2】同実施例の各部出力タイミングを示すタイミング図。

【図3】従来のビット位相同期回路の構成を示す構成図。

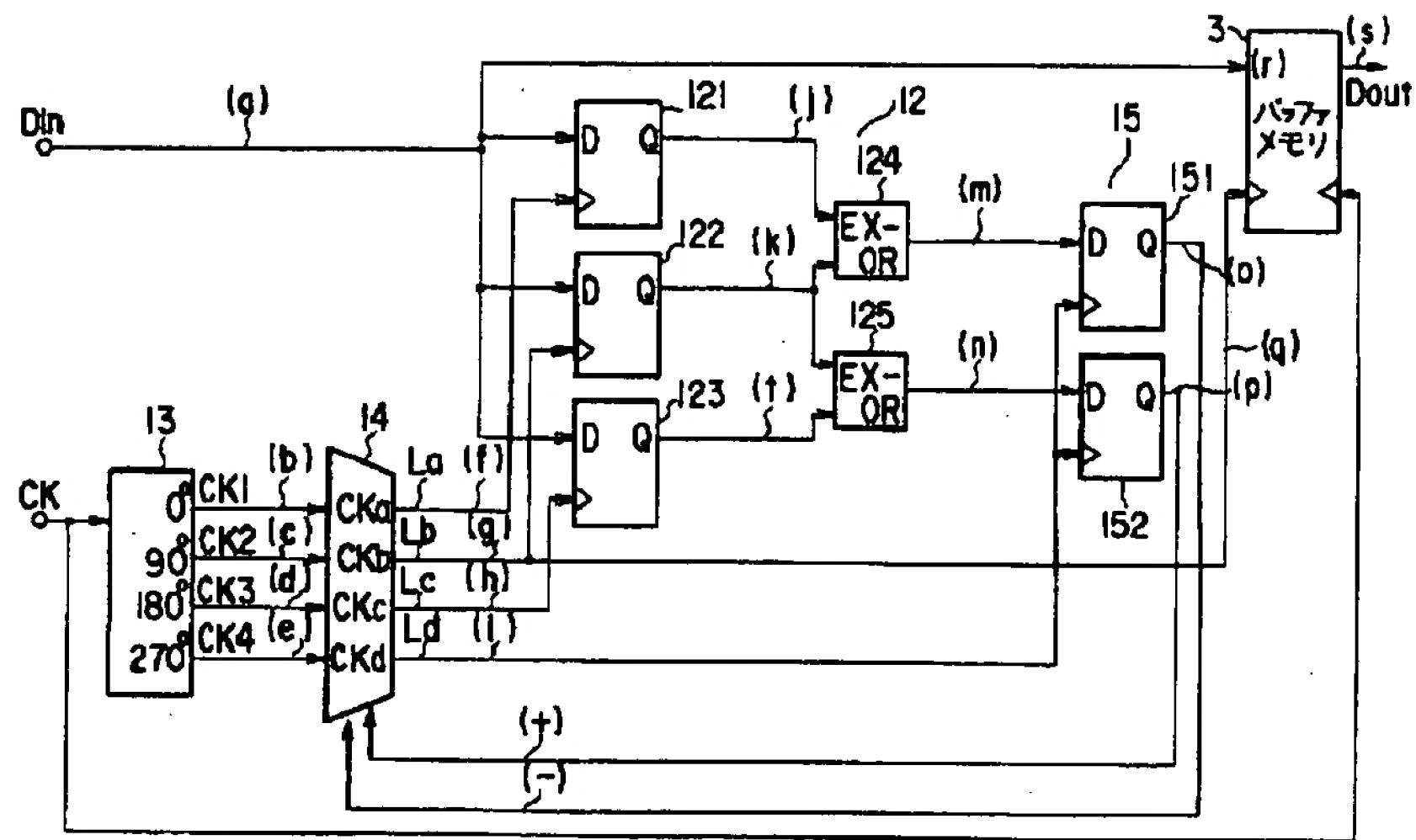
【図4】図3の回路の各部出力タイミングを示すタイミング図。

#### 【符号の説明】

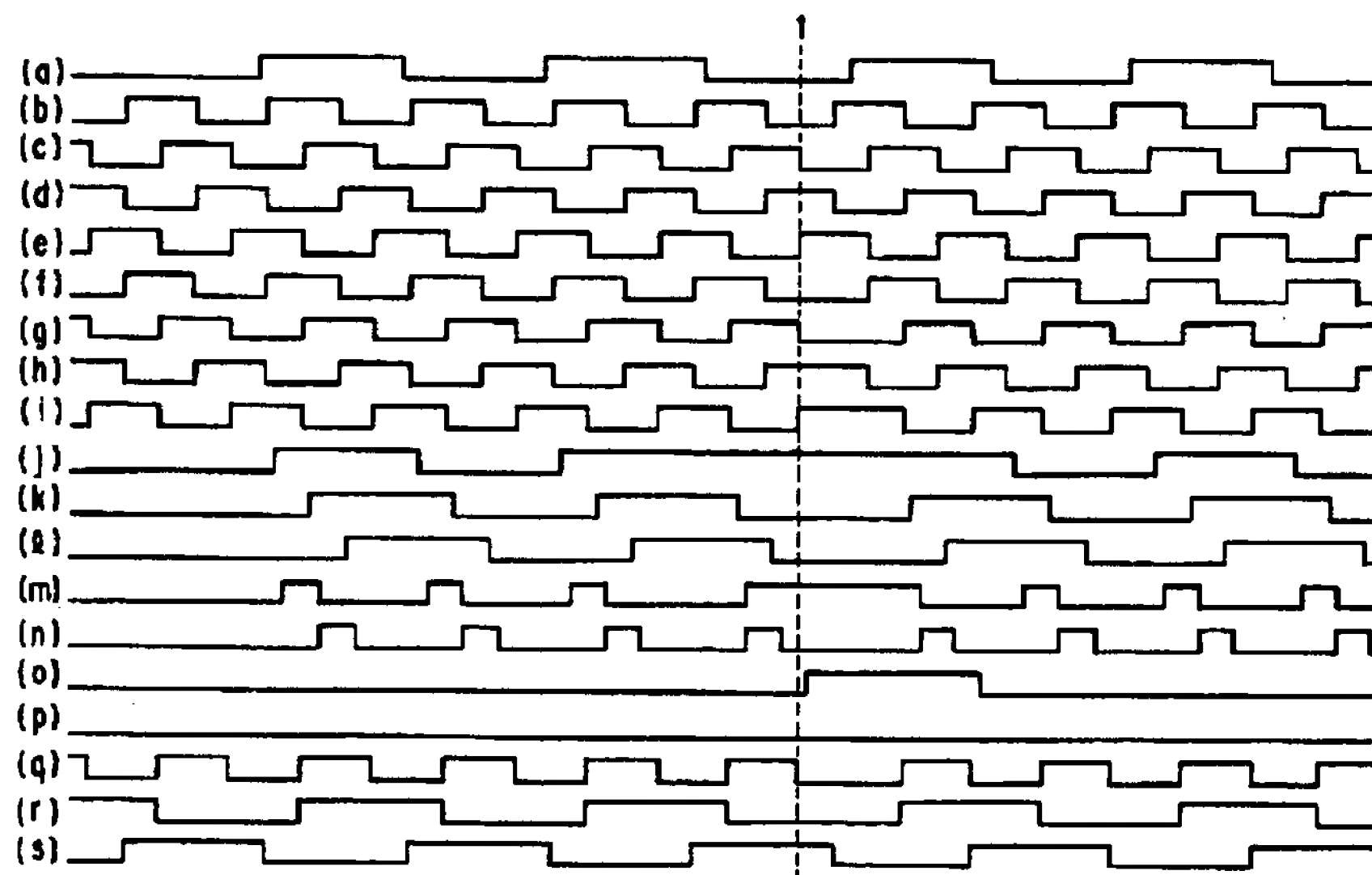
1, 2, 9, 10…Dラッチフリップフロップ、3…バッファメモリ、4…インバータ、5…クロック選択部、6, 7…クロックライン、8, 11…EX-ORゲート、12…データ変化検出回路、121～123…Dラッチフリップフロップ、124, 125…EX-ORゲート、13…4相クロック生成回路、14…出力ラインシフト回路、15…シフト制御回路、151, 152…

Dラッチフリップフロップ、La~Ld…クロックライン。

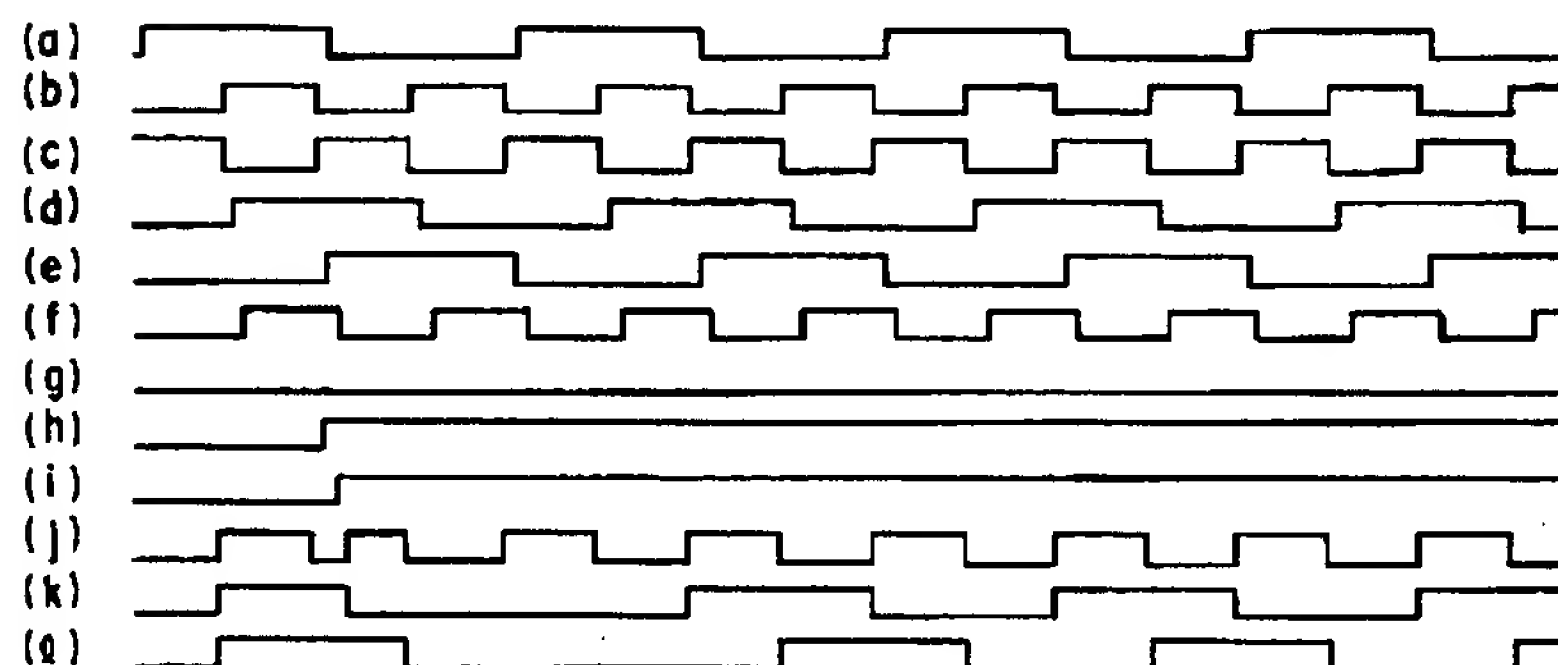
【図1】



【図2】



【図4】



【図 3】

